

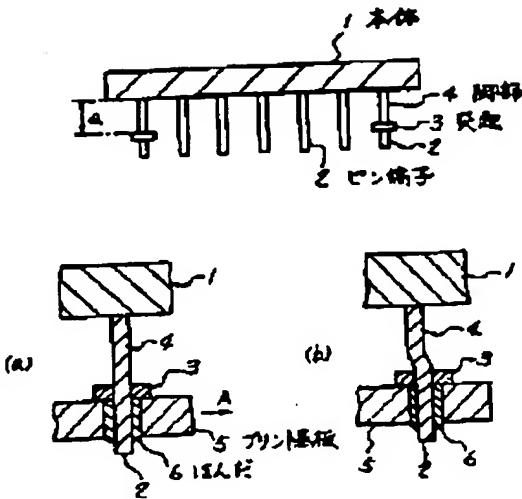
PACKAGE FOR SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: JP63244659
Publication date: 1988-10-12
Inventor: OGAWA DAIKI
Applicant: NIPPON ELECTRIC CO
Classification:
- International: H01L23/50
- European:
Application number: JP19870078055 19870330
Priority number(s): JP19870078055 19870330

[Report a data error here](#)

Abstract of JP63244659

PURPOSE: To absorb the stress due to thermal expansion, by the effect of deformation of pin terminals, by providing at least three pin terminals among ones vertically arranged with protrusions in the manner in which a necessary and sufficient distance between a printed board and a main body is maintained. CONSTITUTION: The title package comprises the following: a main body 1 made of ceramic, a plurality of metal pin terminals 2 vertically arranged on one surface of the main body 1, and protrusions 3 fixed to at least three pin terminals among them. The protrusions 3 are arranged at a position a length (a) 3-7 times the external diameter of the pin terminal down from the main body 1. The part of length (a) of the pin terminal 2 constitutes a leg part 4. A stress in the direction of an arrow generates because of the difference of thermal expansion between the main body 1 and the printed board 5 at the time to of solder dipping. However, the leg part 4 between the main body 1 and the printed board 5 is made long, so that the stress is absorbed by the deformation of the leg part 4. Thereby, a solder part 6 is prevented from generating cracks.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭63-244659

⑫ Int.CI.
H 01 L 23/50

識別記号 行内整理番号
N-7735-5F

⑬ 公開 昭和63年(1988)10月12日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路用容器

⑮ 特願 昭62-78055

⑯ 出願 昭62(1987)3月30日

⑰ 発明者 小川 大樹 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 内原 晋

明細書

発明の名称

半導体集積回路用容器

特許請求の範囲

半導体集積回路チップを内部に搭載する本体と、該本体の一面に垂直に設けられる所定の外径を有する金属製の複数のピン端子と、該ピン端子のうち少くとも3本の前記本体からの距離が前記外径の3~7倍の位置に固着される突起とを含むことを特徴とする半導体集積回路用容器。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路用容器に関する。

(従来の技術)

従来の半導体集積回路用容器は、第3図に示すように、セラミックを材料とした本体1の一表面に垂直に複数の金属製のピン端子2を設けた構造

になつていて、ピン端子2のうち端部の2~3本に突起3を固着している。突起3は本体1からピン端子2の外径の1~2倍の長さの位置に固着され、第4図に示すように、プリント基板5の穴にピン端子2を挿入したとき挿入される深さを制限している。又、容器によってはピン端子に突起のないものもあった。

プリント基板5の穴にピン端子2を挿入した後、はんだ6ではんだ付実装を行うが、この時、プリント基板5が加熱されて矢印の方向B及びCに膨張する。本体1の膨張はプリント基板5に比べて小さいので、第5図(a)に示すように、矢印の方向Cに応力が作用し、第5図(b)に示すように、はんだ6にき裂7を生じる。

(発明が解決しようとする問題点)

上述した従来の半導体集積回路用容器は、ピン端子がプリント基板に深く挿入される構造であるため、はんだディップによる実装の際、又は、使用時の熱履歴により、セラミックの本体とプリント基板の熱膨張率の違いからはんだ付部分又は、

セラミック本体のピン端子の付根の部分に応力がかかり、はんだにき裂がはいるなどの障害が発生するという欠点がある。特に、多数のピン端子を有する半導体集積回路においては、その容器も大きくなるので、プリント基板との熱膨張量の差が大きくなり、このような障害発生の頻度が高くなるという欠点がある。

〔問題点を解決するための手段〕

本発明の半導体集積回路用容器は、半導体集積回路チップを内部に搭載する本体と、該本体の一面上に垂直に設けられる所定の外径を有する金属製の複数のピン端子と、該ピン端子のうち少くとも3本の前記本体からの距離が前記外径の3~7倍の位置に固着される突起とを含んで構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例の断面図である。

第1図に示すように、セラミックを材料とする本体1と、本体1の一表面上に垂直に設けられた金

属製の複数のピン端子2と、ピン端子2のうち少くとも3本に固着した突起3とを含む。

突起3は本体1からピン端子2の外径の5倍の長さaの位置に設けられ、ピン端子2の長さaの部分が脚部4を構成する。

第2図(a)及び(b)はそれぞれ第1図の実施例をプリント基板にはんだ付実装したときの突起を有するピン端子部の拡大断面図である。

第2図(a)に示すように、はんだディップ時の本体1とプリント基板5との熱膨張量の差により、矢印の方向Aに応力が加わるが、第2図(b)に示すように、本体1とプリント基板5との間の脚部4が長くなっているため、脚部4が変形することにより応力を吸収しはんだ6にき裂が発生することを防止する。

なお、多数のピン端子2を有する場合においても、本体1の同一面内の少くとも3本のピン端子のみに突起3を設けることで、プリント基板5と本体1の距離は必要十分に保たれるので、突起のないピン端子を含むた全ピン端子に上記と同様の

ことがいえる。

〔発明の効果〕

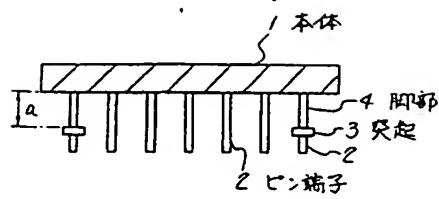
以上説明したように本発明は、本体の一表面上に垂直に設けられたピン端子のうち少くとも3本にプリント基板上に実装した際に必要十分な間隔がプリント基板と本体との間に生じるように突起を設けることにより、熱膨張により発生する応力をピン端子の変形により吸収できるので半導体集積回路の信頼性を向上できるという効果がある。

図面の簡単な説明

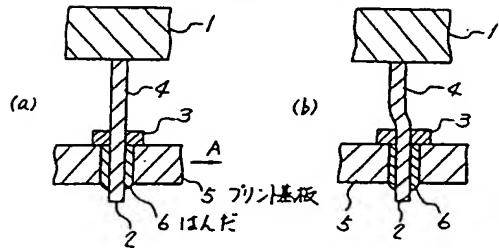
第1図は本発明の一実施例の断面図、第2図(a)及び(b)はそれぞれ第1図の実施例をプリント基板にはんだ付実装したときの突起を有するピン端子部の拡大断面図、第3図は従来の半導体集積回路用容器の一例の断面図、第4図は第3図の半導体集積回路用容器をプリント基板にはんだ付実装したときのプリント基板の断面図、第5図(a)及び(b)はそれぞれ第4図の突起を有するピン端子部の拡大断面図である。

1…本体、2…ピン端子、3…突起、4…脚部、5…プリント基板、6…はんだ、7…き裂。

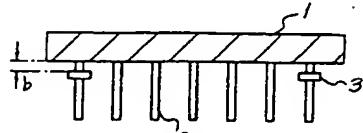
代理人弁理士内原晋

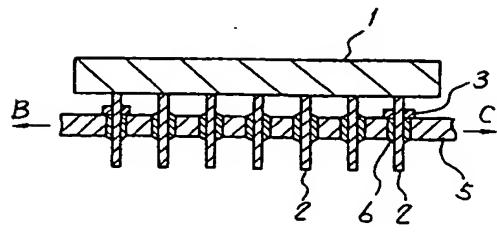
第1図



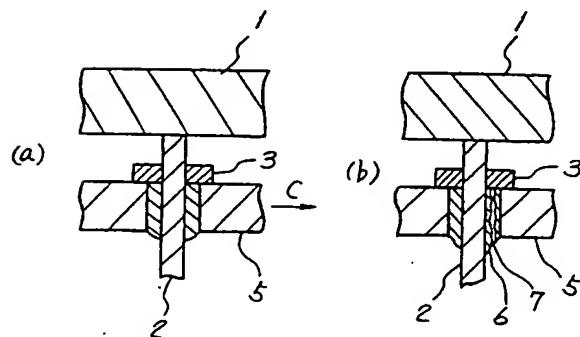
第2図



第3図



第4図



第5図